

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

11396278

Basic Patent (No,Kind,Date): JP 5241200 A2 930921 <No. of Patents: 001>

LIQUID CRYSTAL DISPLAY DEVICE (English)

Patent Assignee: CANON KK

Author (Inventor): SUGAWA SHIGETOSHI

IPC: *G02F-001/136; G02F-001/133; G09F-009/30; G09G-003/36; H01L-027/12;

H01L-029/784

JAPIO Reference No: 170703P000078

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 5241200	A2	930921	JP 9275979	A	920228 (BASIC)

Priority Data (No,Kind,Date):

JP 9275979 A 920228

DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

04249500 **Image available**
LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 05-241200 [JP 5241200 A]
PUBLISHED: September 21, 1993 (19930921)
INVENTOR(s): SUGAWA SHIGETOSHI
APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP
 (Japan)
APPL. NO.: 04-075979 [JP 9275979]
FILED: February 28, 1992 (19920228)
INTL CLASS: [5] G02F-001/136; G02F-001/133; G09F-009/30; G09G-003/36;
 H01L-027/12; H01L-029/784
JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
 (ELECTRONICS -- Solid State Components); 44.9 (COMMUNICATION
 -- Other)
JAPIO KEYWORD:R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS --
 Metal
 Oxide Semiconductors, MOS)
JOURNAL: Section: P, Section No. 1666, Vol. 17, No. 703, Pg. 78,
 December 22, 1993 (19931222)

ABSTRACT

PURPOSE: To obtain the liquid crystal display device having an excellent response speed and high image quality by forming sample-hold capacitors of low resistance.

CONSTITUTION: At least either of the gate or diffusion layer of the MOS type sample-hold capacitor 6 is connected in parallel with wirings 5, 7 having the resistance lower than the resistance thereof. The signal transmitted to a video signal 2 is taken via an analog switching TFT 4 into the MOS type sample-hold capacitor 6 in synchronization with the pulse outputted from a scanning circuit 1 to an output line 3. The analog switching TFT 4 turns off after turning on for a specified period of time. The MOS type sample-hold capacitor 6 is of the low resistance during this period and, therefore, the signal can be taken therein from the end to the end of the capacitor without attenuating the signal. A transfer switching TFT 9 turns on next and the pulse is outputted from the scanning circuit 12 to the gate line 13. A picture element switching TFT 14, then, turns on and the signal is taken into the display picture element.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-241200

(43) 公開日 平成5年(1993)9月21日

(51) Int. Cl. ⁵ 識別記号 F I

G02F	1/136	500	9018-2K
	1/133	550	7820-2K
G09F	9/30	338	6447-5G
G09G	3/36		7319-5G
			9056-4M

H01L 29/78

311

A

審査請求 未請求 請求項の数 1 (全7頁) 最終頁に続く

(21) 出願番号 特願平4-75979

(22) 出願日 平成4年(1992)2月28日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 須川 成利

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

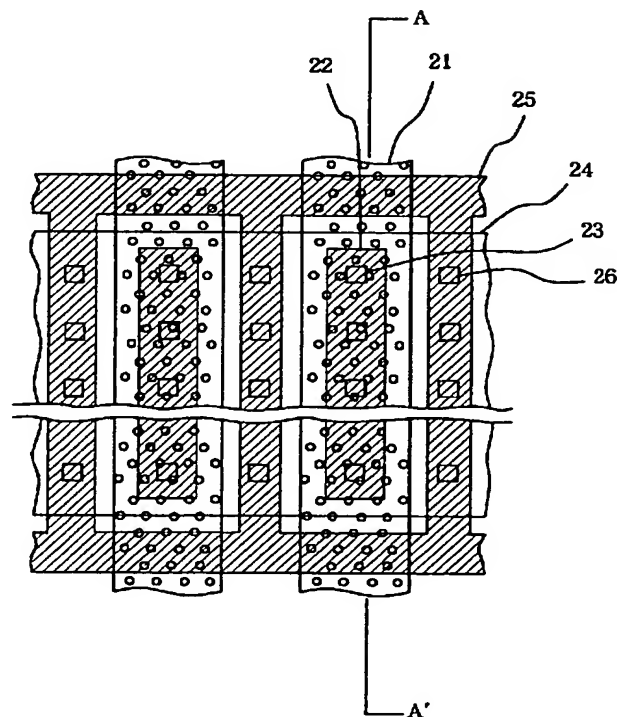
(74) 代理人 弁理士 豊田 善雄 (外1名)

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 応答速度のすぐれた、画像表示品質の高い液晶表示装置を実現する。

【構成】 TFTよりなるドライバー回路を内蔵した液晶表示装置において、映像信号をサンプルホールドする回路のMOS型ホールド容量のゲート配線または拡散層の少なくとも一方を低抵抗配線と並列に接続した液晶表示装置。



【特許請求の範囲】

【請求項 1】 絶縁膜上に設けられた、走査線群、データ線群、前記走査線及びデータ線を駆動するドライバー回路、及び前記走査線及びデータ線の交点に設けられた薄膜トランジスタアレイによって液晶を駆動してなる液晶表示装置において、前記データ線を駆動するドライバー回路は、薄膜トランジスタよりなる走査回路と、薄膜トランジスタ及び薄膜トランジスタと同一構造の MOS 型容量からなるサンプルホールド回路とを具備し、前記 MOS 型容量のゲートまたは拡散層の少なくとも一方をそれよりも抵抗の低い配線と並列に接続したことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ（以下、TFTと略記する）よりなる液晶表示装置、特にドライバー回路を内蔵したアクティブマトリックスパネルに関する。

【0002】

【従来の技術】 従来の液晶表示装置は、特開昭 6 2 - 1 7 8 2 9 6 号公報に示されるように、ドライバー回路を内蔵した液晶表示装置のサンプルホールド回路として図 9 に示すような構造を持っていた。同図において、131 はドライバー回路で駆動され映像信号をサンプルホールド容量に転送するためのアナログスイッチ TFT、132 はサンプルホールド容量を形成するためのポリシリコンからなるゲート配線、133 はゲート絶縁膜、134 は不純物ドーパされないシリコン層、135 は不純物ドーパされたシリコン層である。

【0003】 このサンプルホールド容量は、アナログスイッチ TFT と同一構造の MOS 型容量から形成されているため、製造工程を複雑にすること無しに単位面積当たりの容量を大きくすることが可能となり、省スペースで高歩留まりな容量が実現される。

【0004】

【発明が解決しようとする課題】 しかしながら、高階調で高解像度な画像品質の高い表示をしようすると、図 9 の構造では次のような問題点を生じる。すなわち、高階調な画像表示を行なうには、TFT のスイッチング雑音を低減するために大きなサンプルホールド容量を形成しなければならない。一方、高解像度な画像表示を行なうには、高歩留まりを維持しつつ行なうためにゲート絶縁膜厚およびチップサイズはそのまま画素ピッチを縮めて画素数を増やさなければならない。したがって、サンプルホールド容量は細長く形成しなければならない。この場合、サンプルホールド容量のポリシリコンゲート配線および拡散層の抵抗が高くなり、映像信号がスイッチ TFT がオンしている間にサンプルホールド容量に十分に転送されないという問題点を生じる。

【0005】 本発明はこのような問題点を解決するもの

で、その目的とするところは、低抵抗なサンプルホールド容量を形成することによって、応答速度のすぐれた、画像品質の高い液晶表示装置を提供することにある。

【0006】

【課題を解決するための手段】 本発明の液晶表示装置は、データ線を駆動するドライバー回路が、薄膜トランジスタよりなる走査回路と、薄膜トランジスタ及び薄膜トランジスタと同一構造の MOS 型容量からなるサンプルホールド回路とを具備し、MOS 型容量のゲートまたは拡散層の少なくとも一方をそれよりも抵抗の低い配線と並列に接続したことを特徴とする。

【0007】 本発明の液晶表示装置は、以下に示す方法により製造される単結晶 Si 層を有する半導体基板を用いることにより、液晶素子、液晶駆動回路及びその他の周辺駆動回路を同時に同一基板上に作成することができ、好ましい。以下、その方法につき説明する。

【0008】 半導体基板の単結晶 Si 層は単結晶 Si 基体を多孔質化した多孔質 Si 基体を用いて形成したものである。

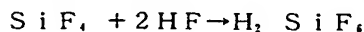
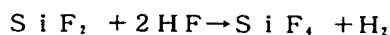
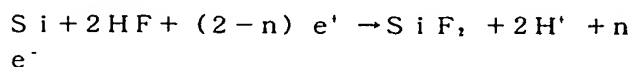
【0009】 この多孔質 Si 基体には、透過型電子顕微鏡による観察によれば、平均約 600 Å 程度の径の孔が形成されており、その密度は単結晶 Si に比べると、半分以下になるにもかかわらず、その単結晶性は維持されており、多孔質層の上部へ単結晶 Si 層をエピタキシャル成長させることも可能である。ただし、1000℃以上では、内部の孔の再配列が起こり、増速エッチングの特性が損なわれる。このため、Si 層のエピタキシャル成長には、分子線エピタキシャル成長法、プラズマ CVD 法、熱 CVD 法、光 CVD 法、バイアス・スパッタ法、液晶成長法等の低温成長が好適とされる。

【0010】 ここで P 型 Si を多孔質化した後に単結晶層をエピタキシャル成長させる方法について説明する。

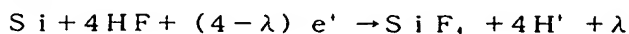
【0011】 先ず、Si 単結晶基体を用意し、それを HF 溶液を用いた陽極化成法によって、多孔質化する。単結晶 Si の密度は 2.33 g/cm³ であるが、多孔質 Si 基体の密度は HF 溶液濃度を 20～50 重量%に変化させることで、0.6～1.1 g/cm³ に変化させることができる。この多孔質層は下記の理由により、P 型 Si 基体に形成され易い。

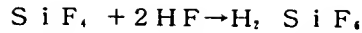
【0012】 多孔質 Si は半導体の電解研磨の研究過程において発見されたものであり、陽極化成における Si の溶解反応において、HF 溶液中の Si の陽極反応には正孔が必要であり、その反応は、次のように示される。

【0013】



又は、



e⁻

ここで、e⁺ 及び、e⁻ はそれぞれ、正孔と電子を表している。また、n 及び λ はそれぞれ Si 1 原子が溶解するために必要な正孔の数であり、n > 2 又は、λ > 4 なる条件が満たされた場合に多孔質 Si が形成されるとしている。

【0014】以上のことから、正孔の存在する P 型 Si は、多孔質化され易いと言える。

【0015】一方、高濃度 N 型 Si も多孔質化されうる 10
ことが報告されているおり、従って、P 型、N 型の別にこだわらずに多孔質化を行うことができる。

【0016】また、多孔質層はその内部に大量の空隙が形成されているために、密度が半分以下に減少する。その結果、体積に比べて表面積が飛躍的に増大するため、その化学エッチング速度は、通常の単結晶層のエッチング速度に比べて著しく増速される。

【0017】単結晶 Si を陽極化成によって多孔質化する条件を以下に示す。尚、陽極化成によって形成する多孔質 Si の出発材料は、単結晶 Si に限定されるもので 20
はなく、他の結晶構造の Si でも可能である。

【0018】印加電圧： 2.6 (V)

電流密度： 30 (mA · cm⁻²)

陽極化成溶液： HF : H₂O : C₂H₅OH = 1 :

1 : 1

時間： 2.4 (時間)

多孔質 Si の厚み： 300 (μm)

Porosity： 56 (%)

このようにして形成した多孔質 Si 基体の上に Si をエピタキシャル成長させて単結晶 Si 薄膜を形成する。 30
単結晶 Si 薄膜の厚さは好ましくは 50 μm 以下、さらに好ましくは 20 μm 以下である。

【0019】次に上記単結晶 Si 薄膜表面を酸化した後、最終的に基板を構成することになる基体を用意し、単結晶 Si 表面の酸化膜と上記基体を貼り合わせる。或いは新たに用意した単結晶 Si 基体の表面を酸化した後、上記多孔質 Si 基体上の単結晶 Si 層と貼り合わせる。この酸化膜を基体と単結晶 Si 層の間に設ける理由は、例えば基体としてガラスを用いた場合、Si 活性層の下地界面により発生する界面準位は上記ガラス界面に 40
比べて、酸化膜界面の方が準位を低くできるため、電子デバイスの特性を、著しく向上させることができるためである。さらに、後述する選択エッチングにより多孔質 Si 気体をエッチング除去した単結晶 Si 薄膜のみを新しい基体に貼り合わせても良い。貼り合わせはそれぞれの表面を洗浄後に室温で接触させるだけでファンデル

ワールス力で簡単には剥すことができない程充分に密着しているが、これをさらに 200 ~ 900℃、好ましくは 600 ~ 900℃ の温度で窒素雰囲気下熱処理し完全に貼り合わせる。

【0020】さらに、上記の貼り合わせた 2 枚の基体全体に Si, N, 層をエッチング防止膜として堆積し、多孔質 Si 基体の表面上の Si, N, 層のみを除去する。この Si, N, 層の代わりにアビエゾンワックスを用いても良い。この後、多孔質 Si 基体を全部エッチング等の手段で除去することにより薄膜単結晶 Si 層を有する半導体基板が得られる。

【0021】この多孔質 Si 基体のみを無電解湿式エッチングする選択エッチング法について説明する。

【0022】結晶 Si に対してはエッチング作用を持たず、多孔質 Si のみを選択エッチング可能なエッチング液としては、弗酸、フッ化アンモニウム (NH₄F) やフッ化水素 (HF) 等バッファード弗酸、過酸化水素水を加えた弗酸又はバッファード弗酸の混合液、アルコールを加えた弗酸又はバッファード弗酸の混合液、過酸化水素水とアルコールとを加えた弗酸又はバッファード弗酸の混合液が好適に用いられる。これらの溶液に貼り合わせた基板を湿潤させてエッチングを行う。エッチング速度は弗酸、バッファード弗酸、過酸化水素水の溶液濃度及び温度に依存する。過酸化水素水を添加することによって、Si の酸化を増速し、反応速度を無添加に比べて増速することが可能となり、さらに過酸化水素水の比率を変えることにより、その反応速度を制御することができる。またアルコールを添加することにより、エッチングによる反応生成気体の気泡を、瞬時にエッチング表面から攪拌することなく除去でき、均一に且つ効率よく多孔質 Si をエッチングすることができる。

【0023】バッファード弗酸中の HF 濃度は、エッチング液に対して、好ましくは 1 ~ 95 重量%、より好ましくは 1 ~ 85 重量%、さらに好ましくは 1 ~ 70 重量% の範囲で設定され、バッファード弗酸中の NH₄F 濃度は、エッチング液に対して、好ましくは 1 ~ 95 重量%、より好ましくは 5 ~ 90 重量%、さらに好ましくは 5 ~ 80 重量% の範囲で設定される。

【0024】HF 濃度は、エッチング液に対して、好ましくは 1 ~ 95 重量%、より好ましくは 5 ~ 90 重量%、さらに好ましくは 5 ~ 80 重量% の範囲で設定される。

【0025】H₂O₂ 濃度は、エッチング液に対して、好ましくは 1 ~ 95 重量%、より好ましくは 5 ~ 90 重量%、さらに好ましくは 10 ~ 80 重量% で、且つ上記過酸化水素水の効果を奏する範囲で設定される。

【0026】アルコール濃度は、エッチング液に対して、好ましくは 80 重量%、より好ましくは 60 重量% 以下、さらに好ましくは 40 重量% 以下で、且つ上記アルコールの効果を奏する範囲で設定される。

【0027】温度は、好ましくは 0 ~ 100℃、より好ましくは 5 ~ 80℃、さらに好ましくは 5 ~ 60℃ の範囲で設定される。

50 【0028】本工程に用いられるアルコールはエチルア

ルアルコールの他、イソプロピルアルコールなど製造工程等に実用上差し支えなく、さらに上記アルコール添加効果を望むことのできるアルコールを用いることができる。

【0029】このようにして得られた半導体基板は、通常のSiウエハーと同等な単結晶Si層が平坦にしかも均一に薄層化されて基板全域に大面積に形成されている。

【0030】この半導体基板の単結晶Si層を部分酸化法或いは島状にエッチングすることにより分離し、不純物をドーピングしてp或いはnチャネルトランジスタを形成する。

【0031】

【作用】本発明の上記構成によれば、細長く形成されたサンプルホールドの容量の抵抗を下げる事が可能となり、高階調で高解像度の応答速度のすぐれた画像品質の高い液晶表示装置が実現できる。

【0032】

【実施例】

（実施例1）図1～3は本実施例における液晶表示装置である。

【0033】図1は本実施例における液晶表示装置の等価回路図である。同図において、1はデータ線群を駆動するためのTFTよりなる走査回路、2は映像信号が印加される映像信号線、3はアナログスイッチTFT4を開閉するための走査回路1の出力線、4は映像信号をMOS型サンプルホールド容量6に転送するためのアナログスイッチTFT、5はMOS型サンプルホールド容量6を形成するためのポリシリコンゲートとアルミニウムが並列に接続された配線、6はアナログスイッチTFT4と同一構造のMOS型サンプルホールド容量、7はMOS型サンプルホールド容量6を形成するための拡散層とアルミニウムが並列に接続された配線、8はMOS型サンプルホールド容量6に定電位を供給するための定電位線、9はMOS型サンプルホールド容量6に蓄えられた映像信号をデータ線11及び液晶セル15に転送するための転送スイッチTFT、10は転送スイッチTFT9を開閉するための配線、11はデータ線、12はゲート線13群を駆動するための走査回路、14は各画素の液晶セル15への信号書き込みを行なうための画素スイッチTFT、15は液晶セル、16は対向電極を示す。

【0034】図2は本実施例における液晶表示装置の前記MOS型サンプルホールド容量6の平面構造図である。同図において、21はMOS型サンプルホールド容量を形成するためのポリシリコンゲート、22はポリシリコンゲート21と並列に接続されたA1、23はポリシリコンゲート21とA122を接続するためのコンタクトホール、24はMOS型サンプルホールド容量を形成するための拡散層、25は拡散層24と並列に接続されたA1、26は拡散層24とA125を接続するためのコンタクトホールである。

【0035】図3は本実施例における液晶表示装置の、図2のA-A'の延長線位置に対応した、前記アナログスイッチTFT4とMOS型サンプルホールド容量6の断面構造図である。同図において、31はシリコン基板、32はシリコン酸化膜、33は局所選択酸化膜（LOCOS）、34はゲート絶縁膜、35はアナログスイッチTFT、36はMOS型サンプルホールド容量を形成するためのポリシリコンゲート、37はアナログスイッチTFT35とポリシリコンゲート36を接続するためのA1、38はポリシリコンゲート36と並列に接続されたA1、39は層間絶縁膜、40ポリシリコンゲート36とA138を接続するためのコンタクトホール、41はMOS型サンプルホールド容量を形成するための拡散層としてのシリコン層である。

【0036】次に、本実施例における液晶表示装置の動作を図1を用いて説明する。

【0037】映像信号線2に伝送されてきた信号が、走査回路1から出力線3に出力されたパルスに同期して、アナログスイッチTFT4を介してMOS型サンプルホールド容量6に取り込まれる。

【0038】アナログスイッチTFT4が一定期間ONしたのち、OFFする。

【0039】この期間内に、MOS型サンプルホールド容量6が低抵抗であるので、容量の端から端まで信号を減衰することなく取り込むことができる。

【0040】次に転送スイッチTFT9がONし、走査回路12からゲート線13にパルスが出力され画素スイッチTFT14がONして表示画素に信号が取り込まれる。

【0041】（実施例2）図4～6は本実施例における液晶表示装置である。

【0042】図4は本実施例における液晶表示装置の等価回路図である。同図において、55がMOS型サンプルホールド容量56を形成するための拡散層とアルミニウムが並列に接続された配線、57がMOS型サンプルホールド容量56を形成するためのポリシリコンゲートとアルミニウムが並列に接続された配線である以外は図1と同様である。

【0043】図5は本実施例における液晶表示装置のMOS型サンプルホールド容量56の平面構造図である。同図において、71はMOS型サンプルホールド容量を形成するための拡散層、72は拡散層71と並列に接続されたA1、73は拡散層71とA172を接続するためのコンタクトホール、74はMOS型サンプルホールド容量を形成するためのポリシリコンゲート、75はポリシリコンゲート74と並列に接続されたA1、76はポリシリコンゲート74とA175を接続するためのコンタクトホールである。

【0044】図6は、本実施例における液晶表示装置の、図5のA-A'の延長線位置に対応したアナログス

イッチTFT54とMOS型サンプルホールド容量56の断面構造図である。同図において、81はシリコン基板、82はシリコン酸化膜、83は局所選択酸化膜(LOCOS)、84はゲート絶縁膜、85はアナログスイッチTFT、86はMOS型サンプルホールド容量を形成するための拡散層としてのシリコン層、87はオーミックコウタクトをとるための高濃度シリコン層、88はアナログスイッチTFT85と高濃度シリコン層86を接続するためのA1、89はMOS型サンプルホールド容量を形成するためのポリシリコンゲート、90はポリシリコンゲート89と並列に接続されたA1、91は層間絶縁膜、92はポリシリコンゲート89とA190を接続するためのコンタクトホールである。

【0045】本実施例における液晶表示装置の動作は実施例1と同様に行なわれる。

【0046】(実施例3)図7は本実施例における液晶表示装置のMOS型サンプルホールド容量の平面構造図であり、図8は、図7のA-A'の延長線位置に対応したアナログスイッチTFTとMOS型サンプルホールド容量の断面構造図である。尚、等価回路図は図1と同様である。

【0047】図8により実施例1との相違を説明する。拡散層121をMo、Ti、W等のシリサイド層とし、ポリシリコンゲート116のA1配線による低抵抗化を実施しない以外は実施例1と同様である。

【0048】なお、実施例1、2において、前記MOS型サンプルホールド容量はそのゲート配線及び拡散層配線の両方を並列接続し低抵抗特性を実現しているが、ゲート配線または拡散層配線の一方を低抵抗化しても従来例の問題点を改善することができる。

【0049】また、実施例1～3において、アルミニウムで並列接続し低抵抗特性を実現しているが、アルミニウムに限らず、ゲート配線及び拡散層配線よりも低抵抗な材料であれば並列接続することにより従来例の問題点を改善することが出来る。

【0050】また、実施例1～3において、前記MOS型サンプルホールド容量はそのシリコン層に拡散層と同型の不純物がドーピングされていないエンハンスメント型構造として説明したが、拡散層と同型の不純物がドーピングされたデプレッションMOS型構造で容量を構成しても本発明の主旨に何ら反しない。

【0051】また、実施例1～3において前記MOS型容量の拡散層の導電型は特に限定しなかったが、N型であっても、P型であっても本発明の主旨に何ら反しない。

【0052】

【発明の効果】本発明の液晶表示装置によれば、次のような著しい効果が生じる。

【0053】一般に、液晶表示装置のTFTのゲート絶縁膜の構造は、良好なトランジスタ性能を保ちつつ10V以上の絶縁耐圧を確保するために、700Å程度以上に設定される。ここで、高階調で高解像度な画像表示を行なうために、例えば、10pFのMOS型サンプルホールド容量を30μm幅で形成した場合、ポリシリコンゲート層の長さは700μm程度以上になり、その抵抗は1KΩ程度以上になってしまう。また、MOS型サンプルホールド容量下の拡散層の抵抗も同様に1KΩ程度以上となる。この場合、応答周波数は10MHz程度以上が必要となるが、実際に得られる応答周波数は5MHz程度以下となり画像信号をMOS型サンプルホールド容量に十分に伝送できずに画像品質は著しく劣化する。

【0054】本発明に従い、このポリシリコンゲート層を及び拡散層をアルミニウムで並列配線すると、それら抵抗は約3桁低くなり、MOS型サンプルホールド容量への画像信号の転送が十分に行なえ、高階調で高解像度な画像表示を行なうことができる。

【0055】以上述べたように、本発明によれば、MOS型サンプルホールド容量の抵抗を下げる事が可能となり、高階調で高解像度の応答速度のすぐれた画像品質の高い液晶表示装置が実現できる。

【図面の簡単な説明】

【図1】実施例1における液晶表示装置の等価回路図。

【図2】実施例1における液晶表示装置のMOS型サンプルホールド容量の平面構造図。

【図3】実施例1における液晶表示装置のアナログスイッチTFTとMOS型サンプルホールド容量の断面構造図。

【図4】実施例2における液晶表示装置の等価回路図。

【図5】実施例2における液晶表示装置のMOS型サンプルホールド容量の平面構造図。

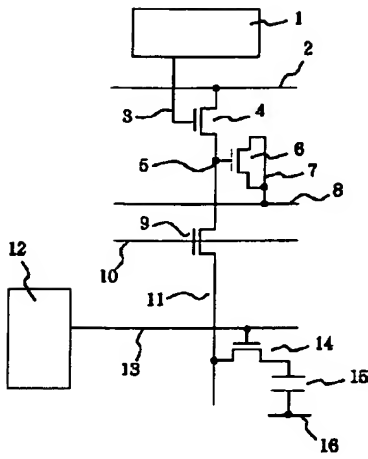
【図6】実施例2における液晶表示装置のアナログスイッチTFTとMOS型サンプルホールド容量の断面構造図。

【図7】実施例3における液晶表示装置のMOS型サンプルホールド容量の平面構造図。

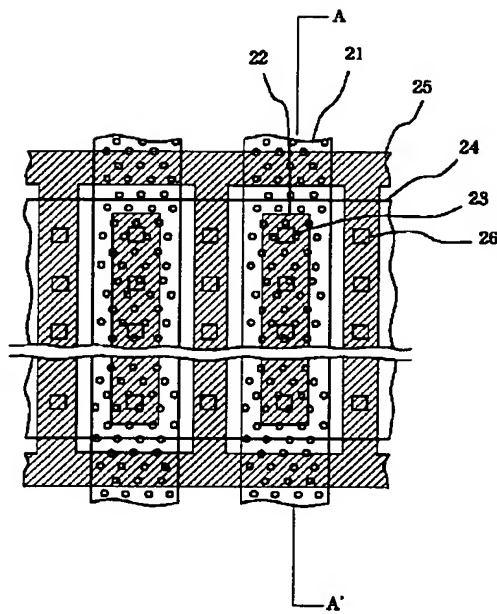
【図8】実施例3における液晶表示装置のアナログスイッチTFTとMOS型サンプルホールド容量の断面構造図。

【図9】従来例を説明するための断面図。

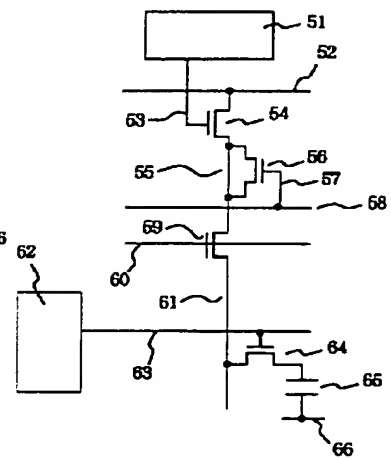
【図1】



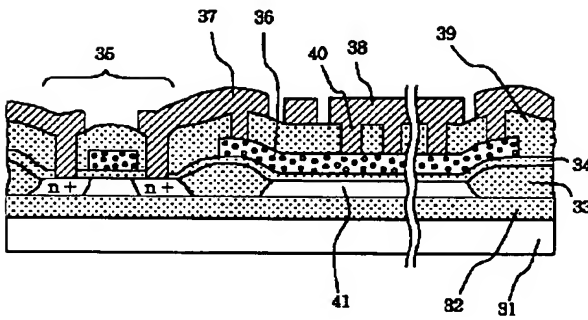
【図2】



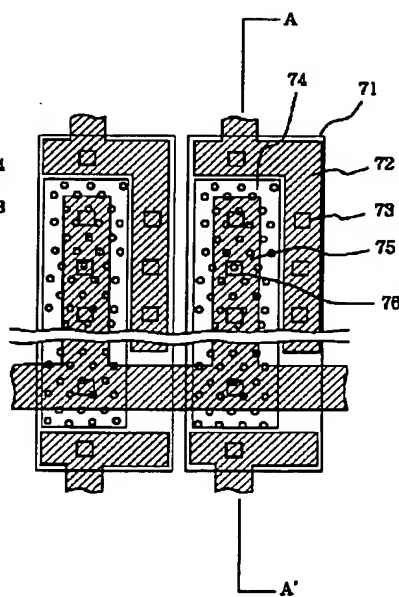
【図4】



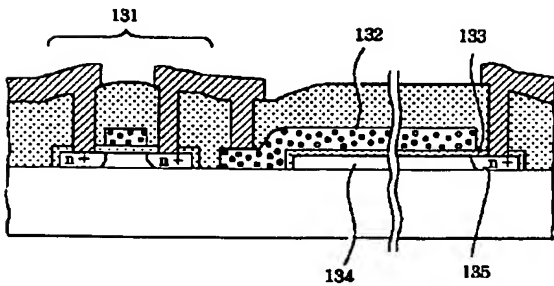
【図3】



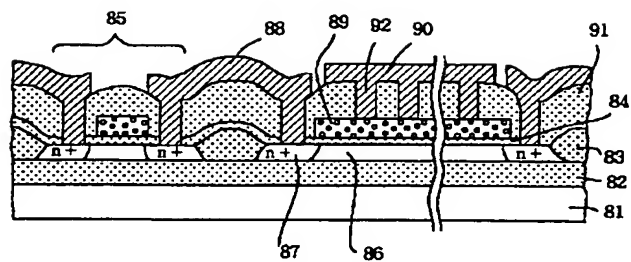
【図5】



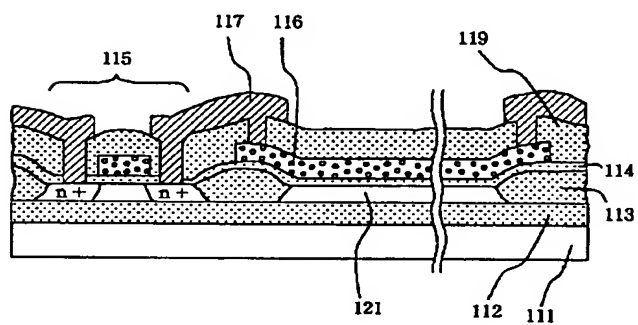
【図9】



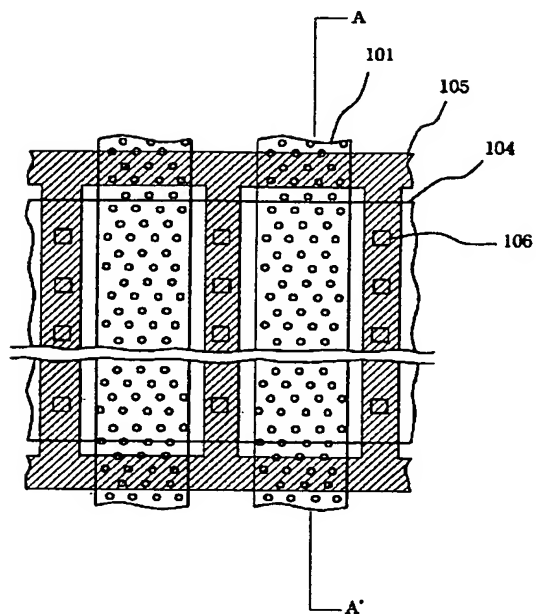
【図 6】



【图 8】



【図 7】



フロントページの続き

(51) Int. Cl.⁵

H O 1 L 27/12
29/784

識別記号 庁内整理番号
A 8728-4M

F I

技術表示箇所